

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-222941

(P2002-222941A)

(43) 公開日 平成14年8月9日(2002.8.9)

(51) IntCl.⁷

H01L 29/78
21/318

識別記号

F I

H01L 21/318
29/78

テ-マ-ト (参考)

C 5F040
301G 5F058

審査請求 未請求 請求項の数4 OL (全6頁)

(21) 出願番号 特願2001-16250(P2001-16250)

(22) 出願日 平成13年1月24日(2001.1.24)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 柏木 章秀

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100095588

弁理士 田治米 登 (外1名)

Fターム(参考) 5F040 DA06 DA08 DB03 DC01 DC08

DC09 ED01 ED03 ED07 EK01

EK05

5F058 BA20 BC11 BF55 BF62 BH16

BJ10

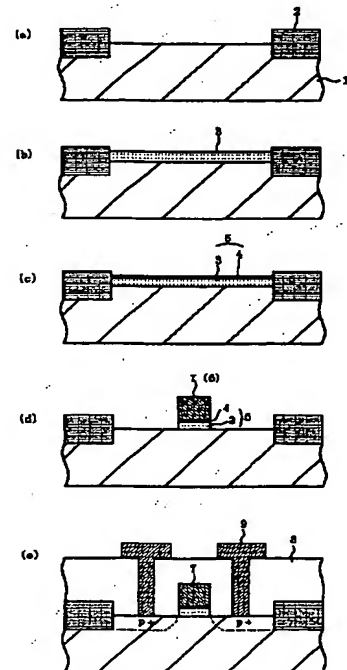
(54) 【発明の名称】 M I S型半導体装置及びその製造方法

(57) 【要約】

【課題】 M I S型半導体装置において、ボロンの突抜を防止するために、ゲート絶縁膜としてシリコン窒化酸化膜を形成し、かつシリコン窒化酸化膜中の窒素がゲート絶縁膜とシリコン基板との界面に窒素が集中することを防止し、N B T Iによるトランジスタの特性不良を防止する。

【解決手段】 シリコン窒化酸化膜5からなるゲート絶縁膜を有するM I S型半導体装置の製造方法において、

(a) シリコン基板1を、活性酸素種を含むガスで酸化してシリコン酸化膜3を形成する工程、(b) シリコン酸化膜3をプラズマ窒化処理することにより、表面が窒化されたシリコン窒化酸化膜5を形成する工程を含める。



【特許請求の範囲】

【請求項1】 シリコン酸化膜の表面が窒化処理されたシリコン窒化酸化膜からなるゲート絶縁膜を有するMIS型半導体装置であって、ゲート絶縁膜が窒素濃度のピークを該ゲート絶縁膜の表面から深さ1.5nm以内に有することを特徴とするMIS型半導体装置。

【請求項2】 ゲート絶縁膜が窒素濃度のピークを該ゲート絶縁膜の表面から深さ1.0nm以内に有する請求項1記載のMIS型半導体装置。

【請求項3】 (a) シリコン基板を、活性酸素種を含むガスで酸化してシリコン酸化膜を形成する工程、

(b) シリコン酸化膜をプラズマ窒化処理することにより、表面が窒化されたシリコン窒化酸化膜を形成する工程を含む、シリコン窒化酸化膜からなるゲート絶縁膜を有するMIS型半導体装置の製造方法。

【請求項4】 プラズマ窒化処理を、窒素濃度のピークがシリコン窒化酸化膜の表面から深さ1.5nm以内に存在するように行う請求項3記載のMIS型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ゲート絶縁膜としてシリコン窒化酸化膜を有するMIS (Metal Insulator Semiconductor) 型半導体装置に関する。

【0002】

【従来の技術】 MOS型シリコン半導体装置は、シリコン基板上にゲート絶縁膜としてシリコン酸化膜を形成し、その上にゲート電極を形成することにより製造される。

【0003】 従来、このシリコン酸化膜としては、シリコン基板を構成するシリコン単結晶の表面を酸化することにより得られる酸化膜が用いられ、ゲート電極としては、リンやボロン等の不純物を添加した多結晶シリコンが用いられている。

【0004】 そして、シリコン酸化膜の形成方法としては、シリコン基板を高温雰囲気において乾燥酸素と反応させるか、又は水素ガスの燃焼によって発生する水蒸気ガスと反応させることにより形成する熱酸化法が用いられている。

【0005】 一方、ゲート電極の形成方法としては、リン又はボロン等を含む多結晶シリコンをCVD法によってゲート絶縁膜上に堆積する方法が一般的であるが、ゲート電極の構造は、最小線幅0.25 μ m世代以降のCMOS (Complementary MOS) と、それ以前の0.5 μ m世代のものとは大きく変わっている。即ち、0.5 μ m世代以前のゲート電極においては、NMOS、PMOS共にn+ドープポリシリコンゲート電極が用いられていたが、0.25 μ m世代以降では、PMOSではp+ドープポリシリコンを使用し、NMOSではn+ドープポリシリコンが用いられるようになっている。これ

は、PMOSトランジスタにおいて短チャネル効果を抑制するため、それまでの埋め込みチャネル構造から表面チャネル構造に変えるためである。

【0006】 ところで、0.25 μ m世代以降のCMOSのPMOS側のゲート電極では、多結晶ポリシリコン中に、不純物としてボロンがイオン注入等によって導入される。多結晶ポリシリコン中のボロンは、NMOS側のゲート電極に導入されるリンと異なり、熱的に安定でなく、導入後にデバイス製造プロセスでなされる活性化アニール等の熱処理によってゲート電極中を拡散する。そして、0.25 μ m世代以降のゲート絶縁膜の膜厚は3~5nmと薄いので、ゲート電極を拡散したボロンはゲート絶縁膜にも拡散し、さらに基板に達することもある。この現象は、一般に「ボロンの突抜」と称されている。

【0007】 基板に達したボロンは、チャネル形成領域の不純物濃度を変えるため、トランジスタの閾値電圧を変動させ、また、チャネルのキャリアに対して散乱因子として作用し、トランジスタの能力低下を招く。したがって、「ボロンの突抜」は抑制、防止する必要がある。

【0008】 このための手法として、近年、CMOSのPMOS側のゲート電極のゲート絶縁膜として、従来のシリコン酸化膜ではなく、これを窒化したシリコン窒化酸化膜 (SiON) を用いることが試みられている。

【0009】 このシリコン窒化酸化膜は、一般には、NO、N₂O又はNH₃を含む反応性の高いガスの中でシリコン酸化膜を熱処理することにより形成される。また、NOやN₂Oガスでシリコン基板を直接熱処理することにより形成される場合もある。熱処理によってシリコン酸化膜に導入された窒素は、シリコン酸化膜の全体に分布するが、特に、シリコン酸化膜とシリコン基板との界面に集中し、そこに濃度ピークを持ち、ボロンの基板への突抜を防止する。したがって、ゲート絶縁膜としてシリコン窒化酸化膜を使用することにより、前述のボロンの突抜によるトランジスタの特性劣化を防止することができる。

【0010】

【発明が解決しようとする課題】 しかしながら、これまでのシリコン窒化酸化膜の形成方法では、導入された窒素が拡散によってシリコン基板表層にも達する。これは、シリコン基板 (Si) とシリコン酸化膜 (SiO₂) の界面には、構造遷移層と称される結晶の歪みが生じ、この構造遷移層中には、エネルギー的にSi-O結合よりも窒化されやすいSi-Si結合が多く存在しているため、シリコン酸化膜中に導入された窒素が構造遷移層中の多量のSi-Siに集中し、容易に置き換わるためと考えられる。

【0011】 シリコン基板中の窒素は、閾値電圧を変化させ、キャリアの散乱因子としても作用とするので、前述の「ボロンの突抜」と同様に、トランジスタの特性上

好ましくない。

【0012】そこで、シリコン酸化膜への窒素の導入量を低減させることにより、トランジスタ能力を維持させることが試みられているが、シリコン基板中に拡散する窒素濃度をゼロにすることはできない。また、シリコン酸化膜への窒素の導入量の低減により、閾値電圧やトランジスタ能力 (I_{ds}) への影響をある程度抑えることができて、ゲート絶縁膜とシリコン基板との界面に存在する窒素に起因するNBTI (Negative Bias Temperature Instability) と称されるトランジスタの特性劣化が新たに指摘されるようになってきている (Digest of Technical Papers"2000 Symposium on VLSI Technology", p92)。このため、NBTIは、ゲート絶縁膜中の窒素の濃度と分布の制御が微細化するCMOS製造プロセスにおいて大きな課題となってきた。

【0013】これに対し、本発明は、ボロンの突抜を防止するために、ゲート絶縁膜としてシリコン窒化酸化膜を形成するにあたり、ゲート絶縁膜とシリコン基板との界面に窒素が集中することを防止し、NBTIによるトランジスタの特性劣化の問題を解消することを目的とする。

【0014】

【課題を解決するための手段】本発明は、シリコン基板の表面にシリコン酸化膜を形成し、次いでそれを窒化することによりシリコン窒化酸化膜を形成するに当たり、まず、シリコン酸化膜をオゾン等の活性酸素種を用いて形成すると、シリコン基板 (Si) とシリコン酸化膜 (SiO_2) との界面に生じる構造遷移層が従前のシリコン酸化膜の形成方法を用いた場合に比して薄くなり、したがって、構造遷移層中において窒素と容易に置き換わるSi-Siも低減すること、さらにこのシリコン酸化膜をプラズマ窒化処理すると、シリコン窒化酸化膜の表面から深さ1.5nm以内の領域に窒化濃度のピークが存在し、ゲート絶縁膜とシリコン基板との界面の窒素濃度を、トランジスタの特性劣化をもたらしないう、実質上ゼロにできることを見出した。

【0015】即ち、本発明は、シリコン酸化膜の表面が窒化処理されたシリコン窒化酸化膜からなるゲート絶縁膜を有するMIS型半導体装置であって、ゲート絶縁膜が窒素濃度のピークを該ゲート絶縁膜の表面から深さ1.5nm以内に有することを特徴とするMIS型半導体装置を提供する。

【0016】なお、ここでゲート絶縁膜における窒素濃度のピークは、例えば、SIMS (2次イオン質量分析) 等で検出される窒素濃度の最大値により求められる。

【0017】また、本発明は、上述のMIS型半導体装置の製造方法として、(a) シリコン基板を、活性酸素種を含むガスで酸化してシリコン酸化膜を形成する工程、(b) シリコン酸化膜をプラズマ窒化処理すること

により、表面が窒化されたシリコン窒化酸化膜を形成する工程を含む、シリコン窒化酸化膜からなるゲート絶縁膜を有するMIS型半導体装置の製造方法を提供する。

【0018】

【発明の実施の形態】以下、図面を参照しつつ、本発明を詳細に説明する。なお、各図中、同一符号は同一又は同等の構成要素を表している。

【0019】図1は、本発明のMIS型半導体装置の一例を製造する場合のゲート絶縁膜の形成工程の工程図である。

【0020】まず、シリコン基板1に対し、公知の方法でSTI構造の素子分離膜2を形成し、イオン注入技術を用いてウェルイオン注入、チャネルストップイオン注入、閾値電圧調整イオン注入を行い、その後、アンモニアと過酸化水素の混合水溶液で洗浄し、さらに塩酸と過酸化水素の混合水溶液で洗浄するRCA洗浄を行うことにより、基板表面の微粒子や金属不純物の除去を行い、さらに、DHF洗浄及び純水リンスを組み合わせてゲート絶縁膜形成領域を洗浄する (図1(a))。

【0021】ここで、シリコン基板としては、シリコン単結晶ウエハや、エピタキシャルシリコン層、ポリシリコン層、アモルファスシリコン層等のシリコン層が表面に形成されている任意の基板をあげることができる。

【0022】次に、以下の条件で膜厚2.0~3.0nmのシリコン酸化膜3を形成する (図1(b))。

温度 300~900℃

圧力 133Pa~13.3kPa

ガス $O_3 = 0.1slm \sim 3.0slm$

【0023】なお、このシリコン酸化膜の形成時に使用するガスとしては、原子状酸素あるいはラジカル酸素という活性酸素種を含むものであればよく、 O_3 の他に、酸素プラズマ等を使用することができる。

【0024】次に、以下の条件でシリコン酸化膜3にプラズマ窒化処理を行い、シリコン窒化酸化膜5を形成する。この場合、シリコン窒化酸化膜5の表面から深さ1.5nmまでの領域、好ましくは深さ1.0nmまでの領域4に窒素濃度ピークができるようにし、シリコン基板1とシリコン酸化膜3との界面での窒素濃度がトランジスタの特性劣化をもたらしないう程度の実質上ゼロとなるようにする (図1(c))。

温度 300~600℃

圧力 10Pa~700Pa

ガス $N_2/He = 1/3 \sim 1/5$

マイクロ波パワー 2.5kW~3.5kW

時間 30~300秒

【0025】なお、プラズマ窒化処理における温度は、シリコン基板1とシリコン酸化膜3の界面への窒素の拡散を確実に防止する点から、500℃以下が好ましい。

【0026】こうして形成したシリコン窒化酸化膜における窒素の濃度分布図をSIMS測定により求めた。結

5

果を図2に示す。なお、シリコン窒化酸化膜の膜厚は、エリプソメトリによる測定で2.5nmであった。

【0027】図2には、参考に、従来のNOガスを用いた熱窒化法によりシリコン酸化膜を窒化した場合（窒化条件：900℃、NO：1.0slm、圧力：10.1kPa）の窒素の濃度分布図も示す。

【0028】同図から、本発明の方法により形成したシリコン酸化窒化膜では、従来のNOガスを用いた熱窒化法で形成したシリコン酸化窒化膜に比して、シリコン酸化膜の表面が選択的に窒化されており、窒素濃度のピークが表面から深さ1.5nm以内に分布し、基板との界面では窒素濃度が実質上ゼロであることがわかる。

【0029】プラズマ窒化処理を行った後、シリコン窒化酸化膜の膜質の向上（欠陥のアニールアウト等）の向上のため、本発明においては、必要に応じてアニールを行ってもよい。アニールの条件としては、例えば、温度：900℃、雰囲気：N₂、時間：60秒とすることができる。

【0030】本発明においては、こうしてシリコン窒化酸化膜5を形成した後は、シリコン窒化酸化膜上に公知の方法でゲート電極を形成し、MIS型半導体装置を製造する。

【0031】例えば、シリコン窒化酸化膜5上に公知のCVD法により膜厚100nmの多結晶シリコン膜6を形成し、フォトリソグラフィ技術を用いてパターニング

6

することによりゲート電極7を形成する（図1

(d)）。そして、イオン注入技術を用いてNMOS側にリンを導入し、PMOS側にボロンを導入することによりCMOS構造を形成し、さらに層間絶縁膜8を形成し、コンタクトホール9を形成して半導体装置を製造する（図1(e)）。

【0032】

【発明の効果】本発明によれば、ゲート絶縁膜がシリコン窒化酸化膜からなるので、ボロンの突抜を防止することができ、かつ、シリコン窒化酸化膜中の窒素濃度のピークが、シリコン窒化酸化膜の表面から1.5nm以内の深さに選択的に存在し、窒素は、シリコン基板とゲート絶縁膜の界面には実質的に存在しないので、NBTIによるトランジスタの能力低下を抑制することができる。

【図面の簡単な説明】

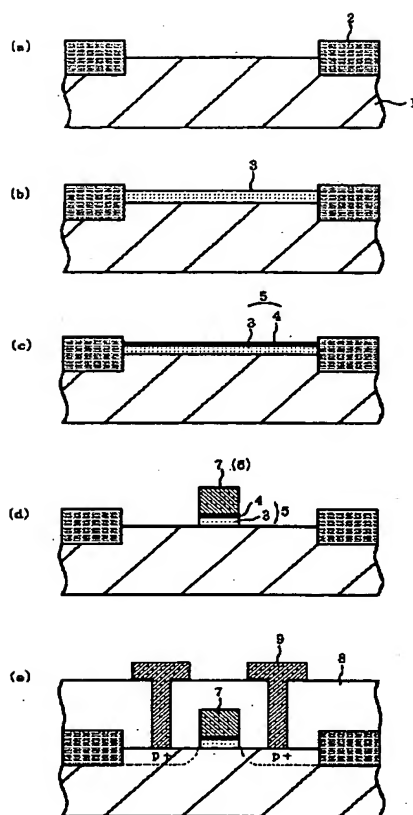
【図1】 ゲート絶縁膜の形成工程の説明図である。

【図2】 ゲート絶縁膜における窒素の濃度分布図である。

【符号の説明】

1…シリコン基板、 2…素子分離膜、 3…シリコン酸化膜、 4…窒化領域、 5…シリコン窒化酸化膜、 6…多結晶シリコン膜、 7…ゲート電極、 8…層間絶縁膜、 9…コンタクトホール、

【図 1】



【図2】

